

PAT-NO: JP401200663A

DOCUMENT-IDENTIFIER: JP 01200663 A

TITLE: SEMICONDUCTOR STORAGE DEVICE

PUBN-DATE: August 11, 1989

INVENTOR-INFORMATION:

NAME

KONISHI, YASUHIRO

ASAKURA, MIKIO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP	N/A

APPL-NO: JP63024544

APPL-DATE: February 4, 1988

INT-CL (IPC): H01L027/10, G11C011/34 , H01L021/88 , H01L021/90

US-CL-CURRENT: 365/174

ABSTRACT:

PURPOSE: To obtain a semiconductor storage device whose operation margin is wide, whose access time is short and whose manufacture is easy by a method wherein bit-line pairs are composed of different wiring layers and whose which have been crossed at the middle point and those which have been crossed two times at 1/4 and 1/3 points are arranged alternately.

CONSTITUTION: Aluminum wires as indicated by (A) and polycide wires as indicated by (B) are used as bit lines; they are crossed mutually at the 1/2 point of their length; a first bit-line pair composed of a bit line 3a continued from polycide→aluminum and a bit line 3b continued from aluminum→polycide is constituted; similarly, two each of said wires are crossed at the 1/4 point and the 1/3 point of their length; a second bit-line pair composed of a bit line 3c continued from aluminum→polycide→aluminum and a bit line 3d continued from polycide→aluminum→polycide is constituted; the first bit-line pair

and the second bit-line pair are arranged alternately. Because the adjacent bit lines are composed of different wire materials and are situated in different wiring layers in this manner, a capacitance value between the lines is small; in addition, because a half of the length of the bit line is constituted by the wire material whose resistance value is low, a read-out signal can be transmitted at high speed.

COPYRIGHT: (C)1989,JPO&Japio

⑫ 公開特許公報 (A)

平1-200663

⑬ Int. Cl.⁴

H 01 L 27/10
 G 11 C 11/34
 H 01 L 21/88
 21/90

識別記号

3 2 5
 3 6 2

序内整理番号

P-8624-5F
 B-8522-5B
 A-6708-5F
 V-6708-5F

⑭ 公開 平成1年(1989)8月11日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭63-24544

⑰ 出 願 昭63(1988)2月4日

⑱ 発明者 小西 康弘 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 発明者 朝倉 幹雄 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑳ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代理人 弁理士 早瀬 憲一

明細書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) それぞれ相補なビット線が隣接して配置されてなる複数のビット線対と、これに交差する複数のワード線と、上記交差点の所要箇所に設けられたメモリセルとを有するものにおいて、

上記ビット線対は1本おきに第1および第2の層にそれぞれ配設され、抵抗は低いあまり薄くできない第1の線材料からなる第1の線、及び抵抗は比較的高いが薄く形成できる第2の線材料からなる第2の線で構成され、

かつ、上記第1および第2の線がその長さの中央部で切断され、互いに交差接続されて形成された第1のビット線対と、上記第1および第2の線がその長さの1/4および3/4の点で切断され、それぞれの点で互いに交差接続されて形成された第2のビット線対とが交互に配列されてなることを特徴とする半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明はビット線部にビット線対を用いる半導体記憶装置に関するもので、以下、MOS形のダイナミック・ランダムアクセスメモリ(DRAM)を例にとって説明する。

(従来の技術)

第3図は従来の折り返しビット線方式を用いたDRAMのメモリアレイ部の概念的構成図で、図において、1はメモリのロウデコーダ、2はロウデコーダ1によって選択されるワード線、3はワード線2と交差するビット線、4はワード線2とビット線3との所要交点に設けられたメモリセル、5はビット線3を経てメモリセル4の内容を読み出すセンス増幅器(センスアンプと略称し、アクティブ・リストア回路をふくむ)である。なお、図中C_{ss}はビット線3相互間の寄生容量で、C_{dd}はビット線3の対地容量である。

256 kbitまでのDRAMでは、ビット線3の配線材料として通常アルミニウムが広く用いられてき

たが、1 Mbit になるに及んで、ポリサイドビット線が主流になってきた。その理由は、メモリ容量が1 Mbit にもなると、ビット線ピッチが $4 \mu m$ 以下になると、アルミニウム配線の場合、その膜厚は周辺回路の配線抵抗や、エレクトロマイグレーションを考慮して、 $1 \mu m$ 程度以下にあまり薄くできないので、上述の寄生容量 C_{ss} が急激に増大し、ビット線間における信号の干渉により動作マージンを著しく損うからである。ポリサイドは膜厚を $0.3 \mu m$ 程度まで薄くできるので、ビット線幅を細く、ビット線間隔を広く取れるという効果もあって、1 Mbit レベルでは線間寄生容量 C_{ss} が小さく（対地容量 C_{ss} の3%以下）、上記の問題は生じない。しかし、ポリサイドは配線抵抗がアルミニウムに比べて大きく（～ 10^3 倍）、アクセスタイムに遅延を生じる。これについて図を用いて簡単に説明する。

第4図は一般的なDRAMの読み出し時の動作波形のタイミングを示す図である。プリチャージ期間に、ビット線3はプリチャージ、イコライズされ

ている。(a)に示すように、時刻 t_0 にワード線2の電位が立ち上がり、メモリセル4の蓄積容量に蓄えられていた電荷がビット線3に読み出される。この読み出し信号がビット線3を伝わり、(b)に示すように、時刻 t_1 にセンスアンプ5のノードに到達し始め、完全に到達した後、(c)に示すように、時刻 t_2 でセンスアンプ活性化信号が立ち上がり、これによって(d)に示すように、低（“L”）レベルのビット線3を V_{ss} レベルまで落とし、さらにアクティブ・リストア活性化信号により高（“H”）レベルのビット線3が V_{dd} まで引き上げられる。ここで $t_0 \sim t_1$ の時間はセンスアンプ5から最も遠い所にあるメモリセル4からの読み出し信号がセンスアンプ5に到達するまでの時間、即ちビット線3抵抗により決まっており、ポリサイドビット線の場合この時間がアクセス時間全体に占める割合は約4分の1で、この割合は集積度が上がるにつれ大きくなると予想される。

ここで、前に触れたビット線間の寄生容量 C_{ss} による信号の干渉についてもう少し説明す

る。第4図(a)のように、ワード線2の電位を立ち上がらせた後、すべてのビット線3にメモリセル4から“H”レベルの情報が読み出されたとき、リファレンスレベルのビット線は、“H”レベルのビット線に挟まれた形になるので、ビット線間の寄生容量 C_{ss} によって隣接ビット線からノイズを受け、電位がやや上昇し、又、“H”レベルのビット線もその反作用を受けて、本来の“H”レベルよりもやや低くなる。従って、ビット線3対の読み出し電位差が小さくなり、読み出しマージンが減少する。このことは、すべてのビット線3に“L”レベルの情報が読み出された場合も起こる。

〔発明が解決しようとする課題〕

従来のDRAMは以上のように構成されているので、ビット線間容量により動作特性を大きく損うか、もしくはアクセス時間が長くなるという問題点があった。

この発明は上記のような問題点を解消するためになされたもので、ビット線間容量が小さくビッ

ト線抵抗が小さい、また隣接ビット線からのノイズの影響を受けない、即ち、動作特性のよい高速な半導体記憶装置を得ることを目的とする。

〔課題を解決するための手段〕

この発明に係る半導体記憶装置は、ビット線として、抵抗は低いあまり薄くできない第1の線材料からなる第1の線と、抵抗は比較的に高いが薄く形成できる第2の線材料からなる第2の線とを並べ、その長さの $1/2$ の点で上記2つの線が立体交差するように電気的に接続して構成した第1のビット線対と、同じく長さの $1/4$ の点および $3/4$ の点で上記2つの線が立体交差するように電気的に接続して構成した第2のビット線対とを交互に配列したものである。

〔作用〕

この発明になる半導体記憶装置のビット線は、隣接するビット線が線材料を異にし、異なる配線層にあるので、線間容量が小さく、しかも、各ビット線対ともそのいずれのビット線も隣接するビット線から受けるノイズ量が等しく、また、ビッ

ト線長の半分が抵抗の低い第1の線材料で構成されるので、一般的の第2の線材料すべてを構成したビット線に比べて読み出し信号の伝達が高速で、しかも、ビット線対の各ビット線の容量および抵抗が全く等しいので、センスアンプの誤動作を生じない。

(実施例)

第1図(a)はこの発明の一実施例のビット線部を示す模式平面図で、第1図(b)は1。-1。線での略断面図である。そして、第3図の従来例と同一符号は同等部分を示す。この実施例では、図示のように、ビット線にイで示すアルミニウム線とロで示すポリサイド線とを用い、その長さの1/2の点で互いに交差接続して、ポリサイド→アルミニウムとつづくビット線3a及びアルミニウム→ポリサイドとつづくビット線3bからなる第1のビット線対を構成し、同じくその長さの1/4および3/4の点で上記の2つの線を交差接続して、アルミニウム→ポリサイド→アルミニウムとつづくビット線3cおよびポリサイド→アルミニウム

→ポリサイドとつづくビット線3dからなる第2のビット線対を構成し、第1および第2のビット線対を交互に配列したものである。上記交差接続部の横渡しにはポリサイドおよびアルミニウムをそのまま用いてもよいが、別の配線層を用いて、アルミニウムとポリサイドとを接続してもよい。

第1図(a)において、各ビット線3a, 3b, 3c, 3dはその全長の半分L/2がアルミニウム、L/2がポリサイドで構成されているので、センスアンプから最遠端までの総抵抗は、どのビット線においても等しく、しかもこの抵抗値は全長がポリサイドの場合の約半分である。

また、各ビット線のビット線間容量C_{bb}、対地容量C_{bd}は等しく、特に隣接するビット線は第1図(b)にみるよう異なる配線層にあるので、線間距離が長く、従ってC_{bb}は極めて小さくなる。さらに、ビット線対のそれぞれのビット線が隣接ビット線から受けるノイズ量は第1図(b)から明らかのように全く等しくなる。そして、アルミニウムとポリサイドの配線ピッチはビット線ピッチの倍

になるので、作成時のバターニングも容易になる。なお、上記実施例ではビット線の配線材料として、アルミニウムとポリサイドを用いたものを示したが、本発明はこれに限定するものではなく、別の配線材料を用いてもよい。また、1回交差の第1のビット線対と、2回交差の第2のビット線対とで、交差部の抵抗（コンタクト抵抗など）により、ビット線総抵抗にわずかな差異が生じ、動作マージンを損うおそれがある。これを防止するために、中点交差Pを有する第1のビット線対には、第2図に示す他の実施例のようにビット線のセンスアンプ端に“偽似交差”（Qで示す）を設けてもよい。

(発明の効果)

以上のように、この発明によればビット線対を異なる配線層を用いて、中点で交差したものと、1/4, 3/4の点で2回交差したものと並べたので、動作マージンの広い、アクセス時間の短い、製造の容易な半導体記憶装置を得られる効果がある。

4. 図面の簡単な説明

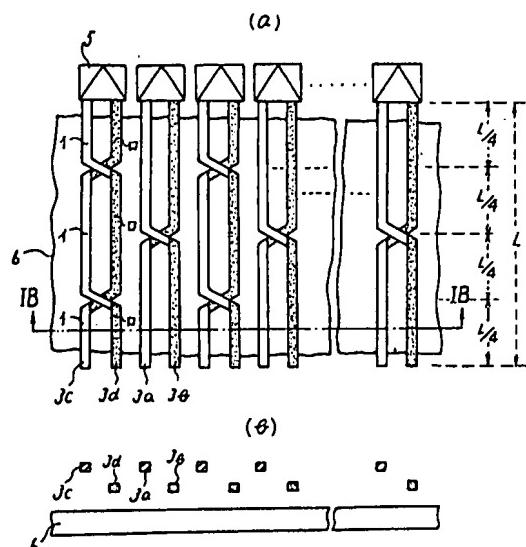
第1図(a)は本発明の一実施例によるダイナミックRAMのビット線部を示す模式平面図、第1図(b)は第1図(a)の1。-1。線における略断面図、第2図は本発明の他の実施例によるダイナミックRAMのビット線部の略図、第3図は従来のダイナミックRAMのメモリアレイ部の概念的構成図、第4図は一般的なダイナミックRAMの読み出しが動作を説明するタイミング図である。

図において、2はワード線、3a, 3bは第1のビット線対、3c, 3dは第2のビット線対、4はメモリセル、5はセンスアンプ、イはアルミニウム線部、ロはポリサイド線部である。

なお図中同一符号は同一又は相当部分を示す。

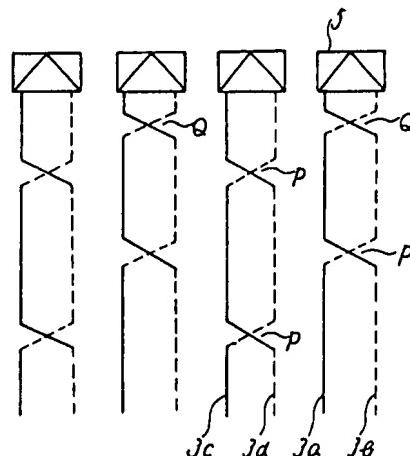
代理人 早 湖 寛 一

第1図



Ja: オ1のビット線
 Je: オ2のビット線
 Jc: オ1のビット線
 Jd: オ2のビット線
 1: アルミニウム部
 ロ: ポリウッド部
 6: 基板

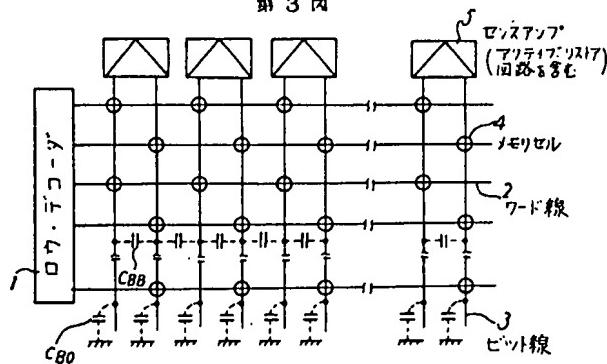
第2図



P: 本来の交差

Q: 偽似交差

第3図



第4図

